

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Shinichi MIZOGUCHI, et al. :  
Serial No.: Group Art Unit:  
Filed: June 24, 2003 Examiner:  
For: METHOD OF ERASING DATA OF NONVOLATILE SEMICONDUCTOR MEMORY UNIT

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-376747, filed December 26, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:mcw  
Facsimile: (202) 756-8087  
**Date: June 24, 2003**

67162-014

日本国特許庁  
JAPAN PATENT OFFICE

MIZOGUCHI et al.  
June 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2002年12月26日

出願番号

Application Number:

特願2002-376747

[ST.10/C]:

[JP2002-376747]

出願人

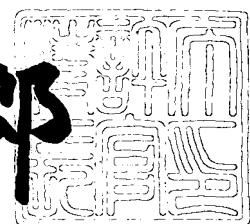
Applicant(s):

三菱電機株式会社

2003年 1月31日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3002420

【書類名】 特許願

【整理番号】 542788JP01

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 溝口 健一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 ニッ谷 知士

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 早坂 隆

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 萩

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置のデータ消去方法

【特許請求の範囲】

【請求項1】 行列状に配置された複数の不揮発性メモリトランジスタ、前記メモリトランジスタの行を、夫々、選択する複数のワード線、及び前記メモリトランジスタの列に、夫々、対応して設けられる複数のビット線を含むと共に複数のメモリブロックに分割されたメモリセルアレイと、前記ワード線、前記ビット線と前記メモリトランジスタの基板部及びソースに印加される電位を発生する電位発生部と、前記電位発生部を制御して、前記メモリトランジスタにおいて一括して又は前記メモリブロックごとにデータを消去する書き消去制御部とを備える不揮発性半導体記憶装置のデータ消去方法において、

前記メモリトランジスタに一括して予備書きパルスを印加するステップと、

前記メモリトランジスタが第1消去状態でない場合、前記メモリトランジスタに一括して第1消去パルスを印加する動作を、2回目以降の前記第1消去パルス印加動作の前記第1消去パルスの強度を変更することによって前記メモリトランジスタが前記第1消去状態になるまで、繰返すステップと、

前記メモリトランジスタが書き戻し状態でない場合、前記メモリトランジスタに一括して書きパルスを印加する動作を、2回目以降の前記書きパルス印加動作の前記書きパルスの強度を変更することによって前記メモリトランジスタが前記書き戻し状態になるまで、繰返すステップと、

前記メモリトランジスタが第2消去状態でない場合、前記メモリトランジスタに一括して第2消去パルスを印加する動作を、2回目以降の前記第2消去パルス印加動作の前記第2消去パルスの強度を変更することによって前記メモリトランジスタが前記第2消去状態になるまで、繰返すステップと、

前記メモリトランジスタがオーバーイレーズ状態である場合、前記メモリトランジスタに選択的に書き戻す動作を、前記メモリトランジスタが前記オーバーイレーズ状態でなくなるまで、繰返すステップとを備えることを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項2】 前記第2消去パルスの印加を確認するステップを、前記第2

消去パルス印加動作を繰返す前記ステップと前記書戻し動作を繰返す前記ステップの間に更に備えることを特徴とする請求項1に記載の不揮発性半導体記憶装置のデータ消去方法。

**【請求項3】** 前記第2消去パルス印加動作を繰返す前記ステップ中の消去ベリファイ動作において前記ワード線の非選択部に0Vを印加すると共に、前記書戻し動作を繰返す前記ステップを第1段階ステップと第2段階ステップの2段階で実行することを特徴とする請求項2に記載の不揮発性半導体記憶装置のデータ消去方法。

**【請求項4】** 前記第1段階ステップの第1過書戻しへリファイ動作と前記第2段階ステップの第2過書戻しへリファイ動作の代りに、消去ベリファイステップを前記第2段階ステップの後に更に備えることを特徴とする請求項3に記載の不揮発性半導体記憶装置のデータ消去方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、一般に、電気的に書き込み及び消去が可能な不揮発性半導体記憶装置に関し、特に、消去時に全メモリトランジスタにおいて一括して又はメモリブロックごとにデータを消去する不揮発性半導体メモリ（以下、「フラッシュメモリ」と呼ぶ）のデータ消去方法に関する。

##### 【0002】

##### 【従来の技術】

フラッシュメモリは、メモリセルとして、フローティングゲートを有すると共にしきい値電圧を変化させることのできるトランジスタ（以下、「メモリトランジスタ」と呼ぶ）を使用する。

##### 【0003】

従来のフラッシュメモリは、行列状に配置された複数の不揮発性のメモリトランジスタ、メモリトランジスタの行を、夫々、選択する複数のワード線、及びメモリトランジスタの列に、夫々、対応して設けられる複数のビット線を含むと共に複数のメモリブロックに分割されたメモリセルアレイと、ワード線、ビット線

とメモリトランジスタの基板部及びソースに印加される電位を発生する電位発生部と、電位発生部を制御して、全メモリトランジスタにおいて一括して又はメモリブロックごとにデータを消去する書き消去制御部とを備える（例えば、特許文献1参照。）。

#### 【0004】

上記構成のフラッシュメモリのデータ消去方法が、例えば、上記文献の図4 2に示されている。この公知のデータ消去方法は、メモリトランジスタに一括して予備書き込みパルスを印加する第1ステップと、メモリトランジスタに一括して第1消去パルスを印加して、消去未完了と判定された場合に、上記第1消去パルス印加動作を、第1消去パルスの強度を変更することによって消去完了と判定されるまで、繰返す第2ステップと、メモリトランジスタに一括して書き込みパルスを印加して、書き戻し未完了と判定された場合に、上記書き込みパルス印加動作を、書き込みパルスの強度を変更することによって書き戻し完了と判定されるまで、繰返す第3ステップと、メモリトランジスタに一括して第2消去パルスを印加して、消去未完了と判定された場合に、上記第2消去パルス印加動作を、第2消去パルスの強度を変更することによって消去完了と判定されるまで、繰返す第4ステップと、メモリトランジスタがオーバーライーズ（過消去）状態である場合、メモリトランジスタに選択的に書き戻す動作を、メモリトランジスタがオーバーライーズ状態でなくなるまで、繰返す第5ステップとを備える。

#### 【0005】

##### 【特許文献1】

特開2001-283595号公報（段落98-105及び247、図1及び図4 2）

#### 【0006】

##### 【発明が解決しようとする課題】

上記の公知データ消去方法では、第2ステップにおいて第1消去パルス印加動作を第1消去ベリファイ動作の前に実行し、又、第3ステップにおいて書き込みパルス印加動作を書き戻しベリファイ動作の前に実行し、更に、第4ステップにおいて第2消去パルス印加動作を第2消去ベリファイ動作の前に実行している。従って

、上記の公知データ消去方法では、第2ステップ～第4ステップにおいて、パルス印加動作が不要な場合でも、パルス印加動作が必ずベリファイ動作の前に行わるので、消去動作の安定化と高速化を図ることが困難である。

#### 【0007】

この発明は、従来技術の上記問題点を解決するためになされたもので、ベリファイ動作をパルス印加動作の前に実行することで不要なパルス印加動作を消去することにより、消去動作の安定化と高速化を図ることができる不揮発性半導体記憶装置のデータ消去方法を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

請求項1にかかる、不揮発性半導体記憶装置のデータ消去方法は、行列状に配置された複数の不揮発性のメモリトランジスタ、前記メモリトランジスタの行を、夫々、選択する複数のワード線、及び前記メモリトランジスタの列に、夫々、対応して設けられる複数のビット線を含むと共に複数のメモリブロックに分割されたメモリセルアレイと、前記ワード線、前記ビット線と前記メモリトランジスタの基板部及びソースに印加される電位を発生する電位発生部と、前記電位発生部を制御して、前記メモリトランジスタにおいて一括して又は前記メモリブロックごとにデータを消去する書き消去制御部とを備える不揮発性半導体記憶装置のデータ消去方法において、前記メモリトランジスタに一括して予備書き込みパルスを印加するステップと、前記メモリトランジスタが第1消去状態でない場合、前記メモリトランジスタに一括して第1消去パルスを印加する動作を、2回目以降の前記第1消去パルス印加動作の前記第1消去パルスの強度を変更することによって前記メモリトランジスタが前記第1消去状態になるまで、繰返すステップと、前記メモリトランジスタが書き戻し状態でない場合、前記メモリトランジスタに一括して書き込みパルスを印加する動作を、2回目以降の前記書き込みパルス印加動作の前記書き込みパルスの強度を変更することによって前記メモリトランジスタが前記書き戻し状態になるまで、繰返すステップと、前記メモリトランジスタが第2消去状態でない場合、前記メモリトランジスタに一括して第2消去パルスを印加する動作を、2回目以降の前記第2消去パルス印加動作の前記第2消去パルスの強度を変

更することによって前記メモリトランジスタが前記第2消去状態になるまで、繰返すステップと、前記メモリトランジスタがオーバーイレーズ状態である場合、前記メモリトランジスタに選択的に書き戻す動作を、前記メモリトランジスタが前記オーバーイレーズ状態でなくなるまで、繰返すステップとを備えるものである。

## 【0009】

## 【発明の実施の形態】

以下に、この発明の各実施の形態を図面を参照して説明する。

## 【0010】

## 実施の形態1.

図1は、この発明のデータ消去方法が実行される不揮発性半導体記憶装置1の概略構成を示すブロック図である。この不揮発性半導体記憶装置1は、メモリセルとしてメモリトランジスタを使用するフラッシュメモリにより形成されている。

## 【0011】

前述した従来のフラッシュメモリと同様に、このフラッシュメモリは、行列状に配置された複数の不揮発性のメモリトランジスタ、メモリトランジスタの行を、夫々、選択する複数のワード線、及びメモリトランジスタの列に、夫々、対応して設けられる複数のビット線を含むと共に複数のメモリブロックに分割されたメモリセルアレイと、ワード線、ビット線とメモリトランジスタの基板部及びソースに印加される電位を発生する電位発生部と、電位発生部を制御して、全メモリトランジスタにおいて一括して又はメモリブロックごとにデータを消去する書き込み消去制御部とを備える。

## 【0012】

図1に示すように、不揮発性半導体記憶装置1は、複数のメモリセル30、31が2次元配列しているメモリアレイ26と、メモリセル30、31への書き込み及び消去を実行するプログラムコードのシーケンスを記憶している記憶部3と、該記憶部3から該シーケンスを読み出し、該シーケンスに基づいてメモリセルへの書き込み、消去を行う書き込み&消去制御部2とを備える。ここで、記憶部3はROM

、RAM等のいずれであってもよい。

#### 【0013】

更に、不揮発性半導体記憶装置1は、

- (A) 書込&消去制御部2からスタンバイ信号CXHRY、チャージポンプ活性化信号PPUMPE、及びリセット信号RESETを受けて、これに応じて出力電位Vout+、Vout-、VWLを発生して出力する電圧発生部4；
- (B) 外部からアドレス信号ADRを受けるアドレスバッファ16；
- (C) アドレスバッファ16から内部アドレス信号を受け電圧発生部4から電位の供給を受け、セレクトゲート線SGL、ワード線WL0、WL1、ソース線SLおよびウェルの各電位を決定するXデコーダ18；
- (D) データ入出力信号DIOを授受するための入出力バッファ22；
- (E) アドレスバッファ16からアドレス信号を受けデコードするYデコーダ20；及び
- (F) Yデコーダ20の出力に応じてデータ入出力信号に対応しメインビット線MBLに高電圧を印加するY系制御回路24；

を備える。

#### 【0014】

電圧発生部4は、(a1)出力電位Vout+を発生させる正電圧発生回路6、(a2)出力電位Vout-を発生させる負電圧発生回路8、(a3)ワード線電位VWLを発生させるWLブースト回路12、及び(a4)書込&消去制御部2によって制御され、出力電位Vout+、Vout-及びワード線電位VWLを受けて各内部回路に分配するディストリビュータ14を含む。なお、WLブースト回路12は、高速アクセスを実現するために読出時に選択されたワード線WLおよび選択されたセレクトゲートSGに与える昇圧電位を発生する回路である。

#### 【0015】

Xデコーダ18は、(c1)ワード線を選択するためのWLデコーダ(図示せず)、(c2)セレクトゲートを選択するためのSGデコーダ(図示せず)、(c3)選択されたメモリブロックに対応するウェル領域を選択するWELLデコ

ーダ（図示せず）、及びソース線を選択するためのSLデコーダ（図示せず）を含む。

#### 【0016】

Y系制御回路24は、(f1) 読出時にカラム選択を行ないセンスアンプで読出作業を行なうYG&センスアンプとラッチ回路（図示せず）と、(f2) ラッチしているデータに基づき書込時のメインビット線MBLに高電位を印加するかどうかを決定するページバッファ（図示せず）とを含む。

#### 【0017】

又、不揮発性半導体記憶装置1は、メモリアレイ26を含む。このメモリアレイ26には、互いに分離されたウエルの内部に形成されたメモリブロックBLOCK<sub>0</sub>～BLOCK<sub>n</sub>を含む。例えば、メモリブロックBLOCK<sub>0</sub>は、メモリセル30、32と、セレクトゲート28とを含む。このメモリブロックBLOCK<sub>0</sub>では、Xデコーダ18によって選択されたセレクトゲート線SGL、ワード線WL<sub>0</sub>、WL<sub>1</sub>及びソース線SLに対応するメモリセルが選択され、メインビット線MBLからデータに対応する信号を受けてデータ保持が行なわれる。なお、図1では、選択されたセレクトゲート線SGL、ワード線WL<sub>0</sub>、WL<sub>1</sub>およびソース線SLに対応するセレクトゲート28、メモリセル30、32が代表的に図示されている。

#### 【0018】

図2は、この発明の実施の形態1にかかる不揮発性半導体記憶装置1のデータ消去方法を示すフローチャートである。図2を参照して、ステップS1において、消去コマンドが入力される。次に、ステップS2において、メモリトランジスタに予備書込パルスが一括して印加される。第1消去ベリファイのステップS4において、メモリトランジスタが第1消去状態でないと判断されると、メモリトランジスタに一括して第1消去パルスを印加すると共に、2回目以降の第1消去パルス印加の第1消去パルスの強度を変更するステップS14が、ステップS4においてメモリトランジスタが第1消去状態になるまで、繰返し実行される。

#### 【0019】

次に、書戻しへリファイのステップS6において、メモリトランジスタが書戻

し状態でないと判断されると、メモリトランジスタに一括して書込パルスを印加すると共に、2回目以降の書込パルス印加の書込パルスの強度を変更するステップS15が、ステップS6においてメモリトランジスタが書戻し状態になるまで、繰返し実行される。その後、第2消去ベリファイのステップS8において、メモリトランジスタが第2消去状態でないと判断されると、メモリトランジスタに一括して第2消去パルスを印加すると共に、2回目以降の第2消去パルス印加の第2消去パルスの強度を変更するステップS16が、ステップS8においてメモリトランジスタが第2消去状態になるまで、繰返し実行される。

#### 【0020】

更に、オーバーイレーズベリファイのステップS9において、メモリトランジスタがオーバーイレーズ（過消去）状態でないと判断されると、ステップS13においてデータ消去が終了する。一方、ステップS9において、メモリトランジスタがオーバーイレーズ状態であると判断されると、メモリトランジスタに選択的に書戻すステップS10が、ステップS11においてメモリトランジスタがオーバーイレーズ状態でなくなるまで、繰返し実行される。

#### 【0021】

ステップS11において、メモリトランジスタがオーバーイレーズ状態でないと判断されると、過書戻しへリファイのステップS12において、メモリトランジスタが過書戻し状態であるか否かが判断される。ステップS12において、メモリトランジスタが過書戻し状態であると判断されると、フローはステップS8に戻る。反対に、ステップS12において、メモリトランジスタが過書戻し状態でないと判断されると、フローはステップS13で終了する。

#### 【0022】

この実施の形態では、ベリファイステップS4、S6とS8を、夫々、パルス印加ステップS14、S15とS16の前に実行するので、不要なパルス印加動作が消去されるから、消去動作の安定化と高速化を図ることができる。

#### 【0023】

実施の形態2.

図3は、この発明の実施の形態2にかかる不揮発性半導体記憶装置1のデータ

消去方法を示すフローチャートである。この実施の形態では、実施の形態1に対して、オーバーイレーズベリファイのステップS9を第2消去パルスを印加した時のみ実行することで、消去動作の更なる高速化を図っている。この目的のために、図3では、第2消去パルスがメモリトランジスタに一括して印加されたか否かを判断するステップS17が、第2消去ベリファイのステップS8の後に追加されている。ステップS17がNOの場合、ステップS18においてデータ消去が終了する。反対に、ステップS17がYESの場合、フローはオーバーイレーズベリファイのステップS9に進む。

#### 【0024】

本消去動作では、第1消去パルスを印加するステップS14、書込パルスを印加するステップS15、第2消去パルスを印加するステップS16と書戻しへリファイのステップS6の条件を最適化することにより、第2消去パルスを印加した場合に考えられるしきい値電圧V<sub>t h</sub>分布の上すそへの飛出しビットを手当するよう、オーバーイレーズベリファイ動作とオーバーイレーズリカバ動作のシーケンスを実行する。そのため、ステップS16において、第2消去パルスがメモリトランジスタに一括して印加されていない場合、ステップS17がNOとなるので、ステップS18においてデータ消去が終了する。

#### 【0025】

この実施の形態では、オーバーイレーズベリファイ動作とオーバーイレーズリカバ動作を第2消去パルスを印加した時のみ実行するので、消去動作が更に高速化される。

#### 【0026】

実施の形態3.

図4及び図5は、この発明の実施の形態3にかかる不揮発性半導体記憶装置1のデータ消去方法を示すフローチャートである。この実施の形態では、実施の形態2に対して、第2消去ベリファイのステップS8において非選択ワード線に0Vを印加すると共に、オーバーイレーズベリファイとオーバーイレーズリカバのステップS9～S12を第1段階ステップS9～S12と第2段階ステップS19～S22に2段階化している。

## 【0027】

この実施の形態では、第2消去ベリファイのステップS8において非選択ワード線に0Vを印加すると共に、オーバーイレーズベリファイとオーバーイレーズリカバのステップS9～S12を第1段階ステップS9～S12と第2段階ステップS19～S22に2段階化しているので、消去終了後のリードエラーの発生を防止することができる。

## 【0028】

実施の形態4.

図6及び図7は、この発明の実施の形態4にかかる不揮発性半導体記憶装置1のデータ消去方法を示すフローチャートである。この実施の形態では、実施の形態3に対して、図4の第1過書きしベリファイステップS12と図5の第2過書きしベリファイステップS22の代りに、第3消去ベリファイステップS23を消去終了ステップS13の前に実行する。

## 【0029】

この実施の形態では、実施の形態3の2個の過書きしベリファイステップS12とS22が1個の消去ベリファイステップS23に置換されるので、消去動作の安定化と高速化が更に図られる。

## 【0030】

## 【発明の効果】

以上のように、請求項1の発明によれば、行列状に配置された複数の不揮発性のメモリトランジスタ、前記メモリトランジスタの行を、夫々、選択する複数のワード線、及び前記メモリトランジスタの列に、夫々、対応して設けられる複数のビット線を含むと共に複数のメモリブロックに分割されたメモリセルアレイと、前記ワード線、前記ビット線と前記メモリトランジスタの基板部及びソースに印加される電位を発生する電位発生部と、前記電位発生部を制御して、前記メモリトランジスタにおいて一括して又は前記メモリブロックごとにデータを消去する書き消去制御部とを備える不揮発性半導体記憶装置のデータ消去方法において、前記メモリトランジスタに一括して予備書き込みパルスを印加するステップと、前記メモリトランジスタが第1消去状態でない場合、前記メモリトランジスタに一

括して第1消去パルスを印加する動作を、2回目以降の前記第1消去パルス印加動作の前記第1消去パルスの強度を変更することによって前記メモリトランジスタが前記第1消去状態になるまで、繰返すステップと、前記メモリトランジスタが書戻し状態でない場合、前記メモリトランジスタに一括して書込パルスを印加する動作を、2回目以降の前記書込パルス印加動作の前記書込パルスの強度を変更することによって前記メモリトランジスタが前記書戻し状態になるまで、繰返すステップと、前記メモリトランジスタが第2消去状態でない場合、前記メモリトランジスタに一括して第2消去パルスを印加する動作を、2回目以降の前記第2消去パルス印加動作の前記第2消去パルスの強度を変更することによって前記メモリトランジスタが前記第2消去状態になるまで、繰返すステップと、前記メモリトランジスタがオーバーイレーズ状態である場合、前記メモリトランジスタに選択的に書戻す動作を、前記メモリトランジスタが前記オーバーイレーズ状態でなくなるまで、繰返すステップとを備えるので、ベリファイ動作をパルス印加動作の前に実行することで不要なパルス印加動作を消去することにより、消去動作の安定化と高速化を図ることができる。

#### 【図面の簡単な説明】

【図1】 この発明のデータ消去方法が実行される不揮発性半導体記憶装置の概略構成を示すブロック図である。

【図2】 この発明の実施の形態1にかかる不揮発性半導体記憶装置のデータ消去方法を示すフローチャートである。

【図3】 この発明の実施の形態2にかかる不揮発性半導体記憶装置のデータ消去方法を示すフローチャートである。

【図4】 この発明の実施の形態3にかかる不揮発性半導体記憶装置のデータ消去方法を示すフローチャートの前半部である。

【図5】 図4のフローチャートの後半部である。

【図6】 この発明の実施の形態4にかかる不揮発性半導体記憶装置のデータ消去方法を示すフローチャートの前半部である。

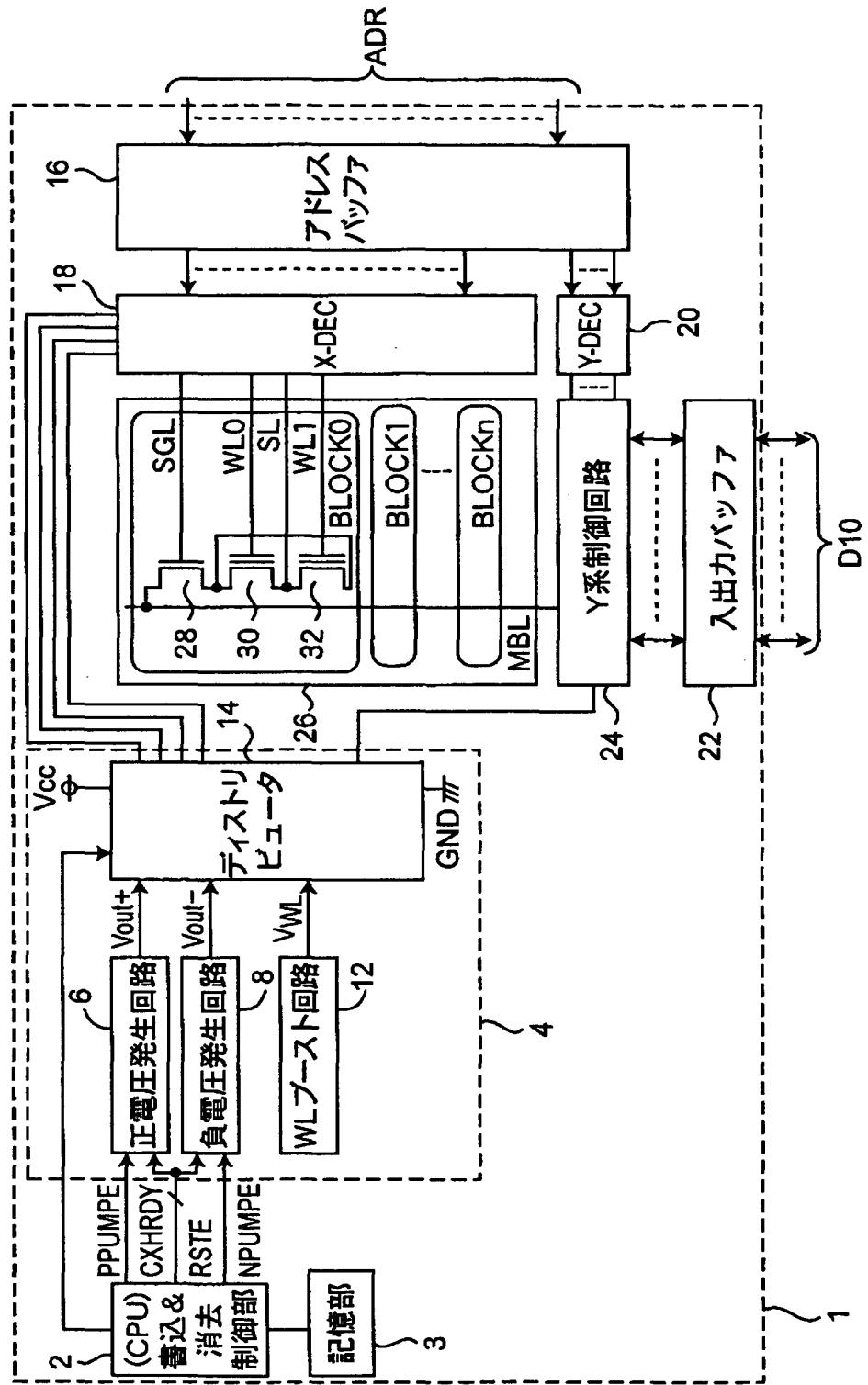
【図7】 図6のフローチャートの後半部である。

#### 【符号の説明】

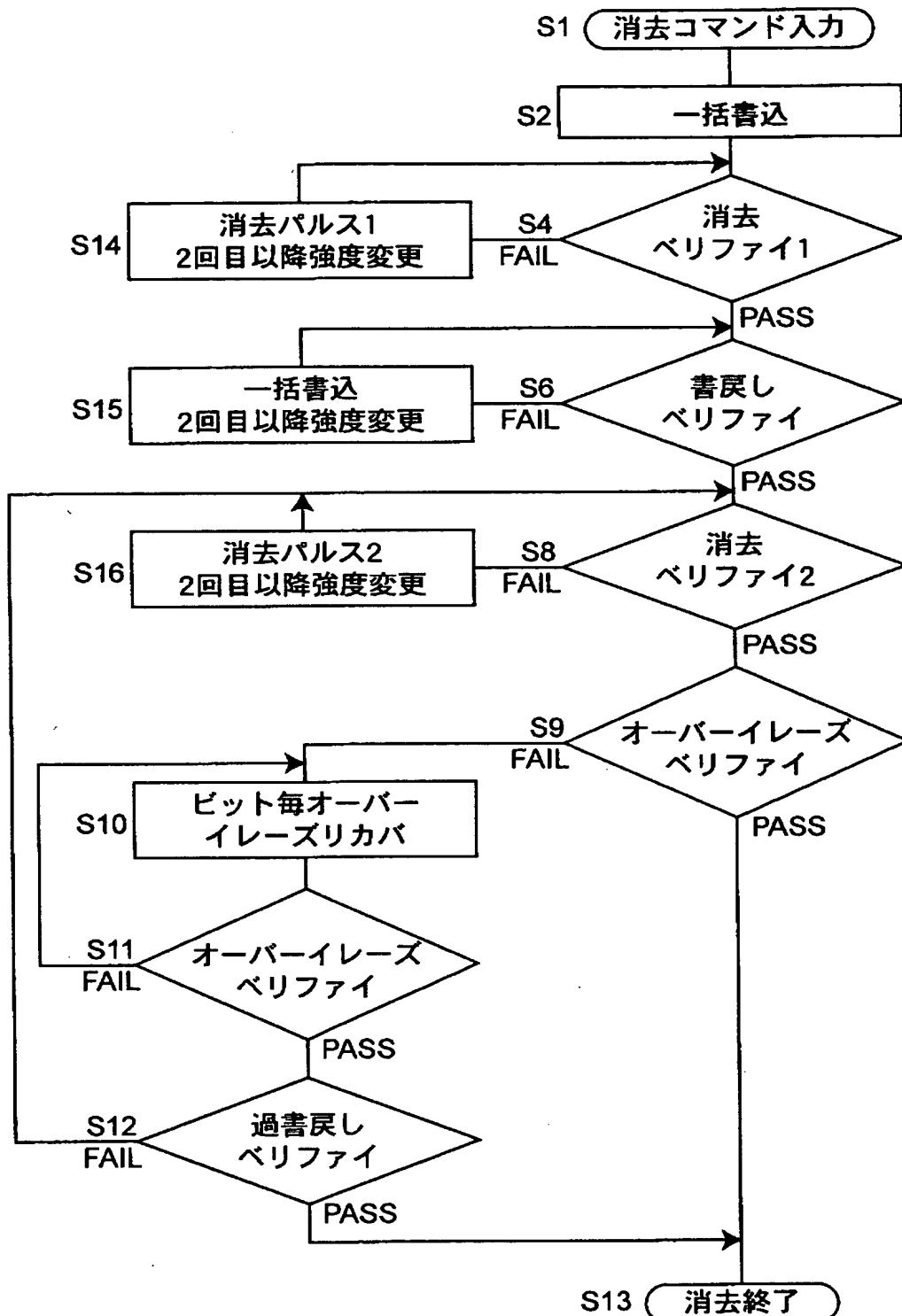
1 不揮発性半導体記憶装置、 2 書込&消去制御部、 3 記憶部、 4  
電圧発生部、 6 正電圧発生回路、 8 負電圧発生回路、 12 WLブ  
ースト回路、 14 ディストリビュータ、 16 アドレスバッファ。

【書類名】 図面

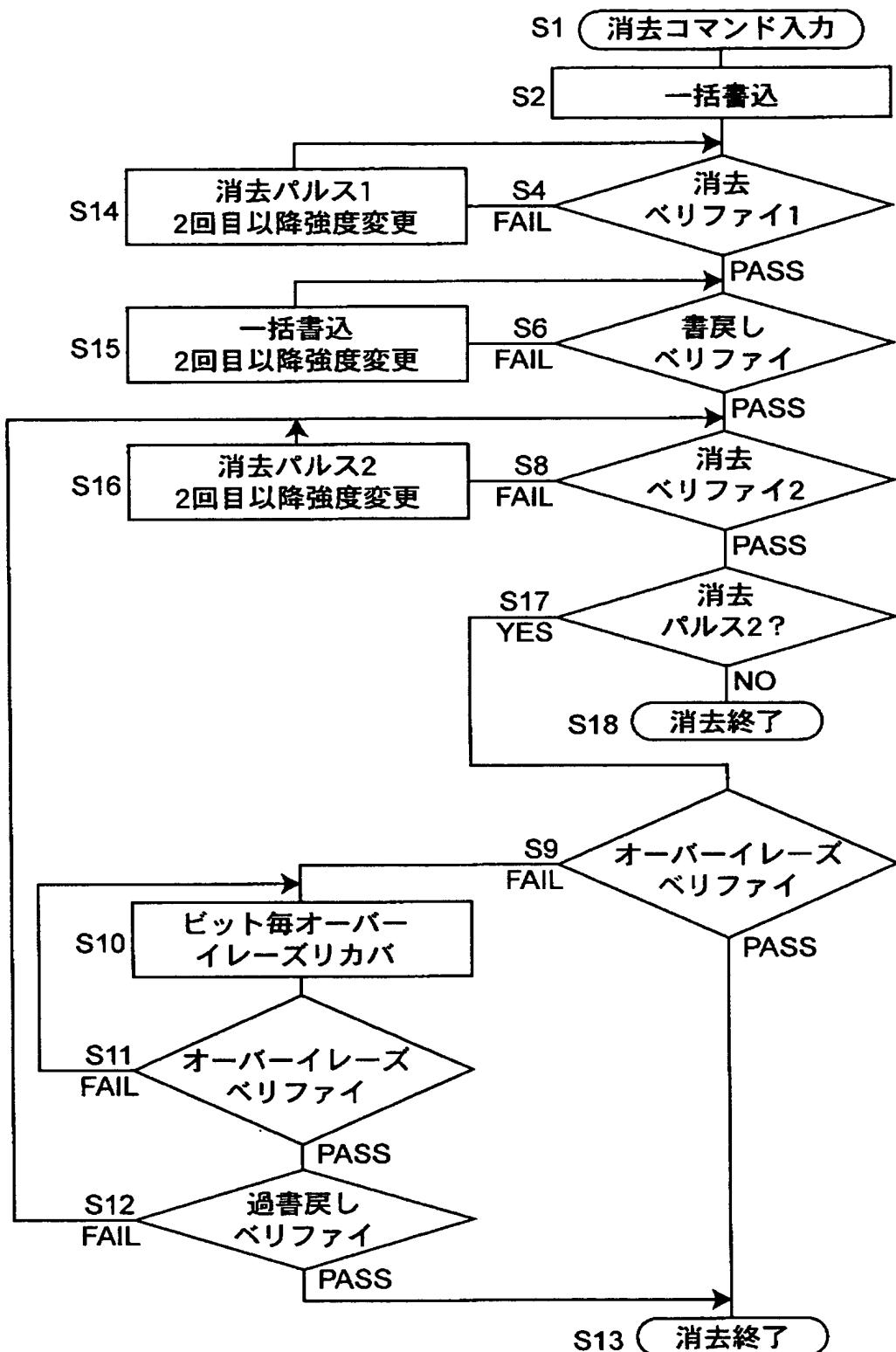
【図1】



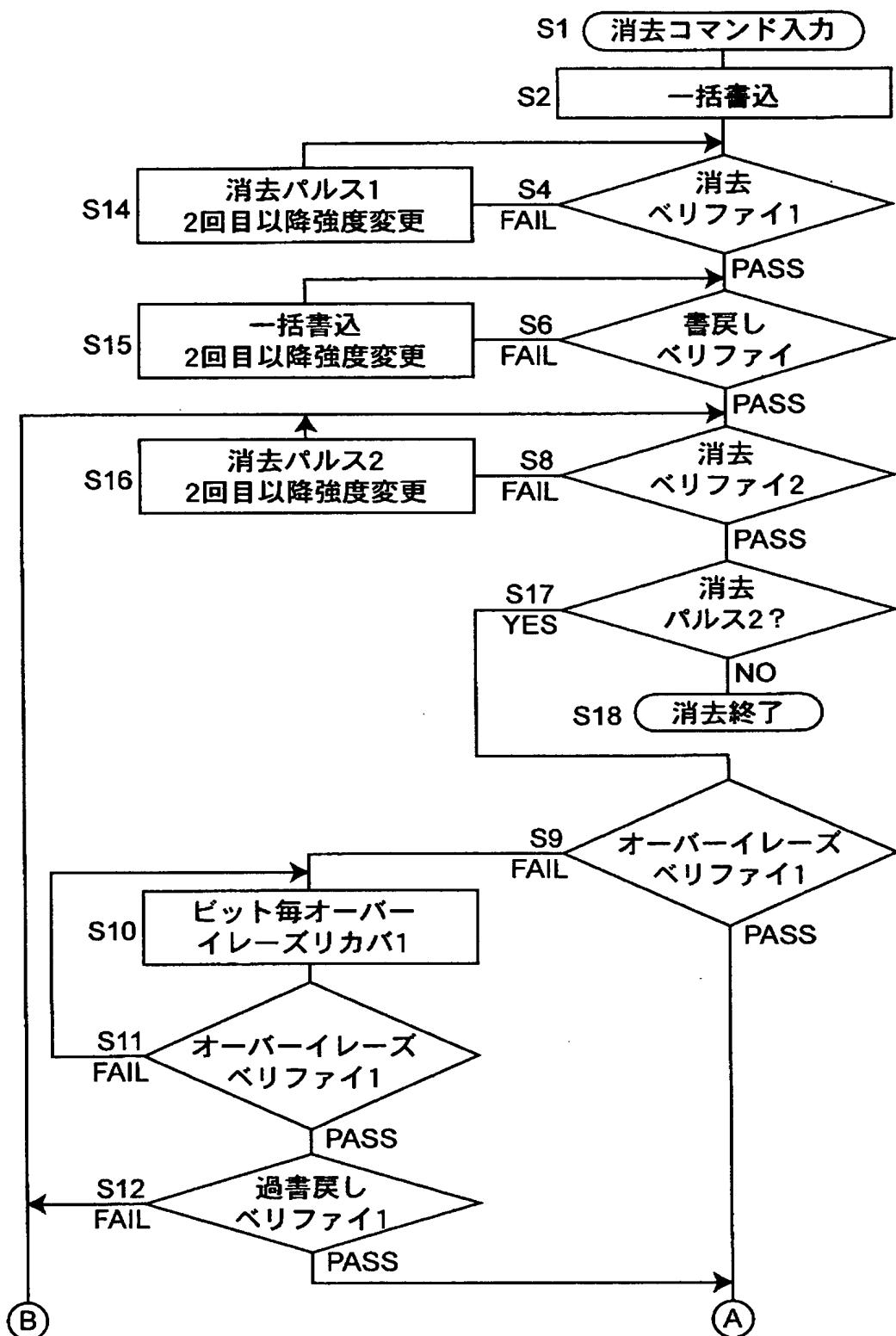
【図2】



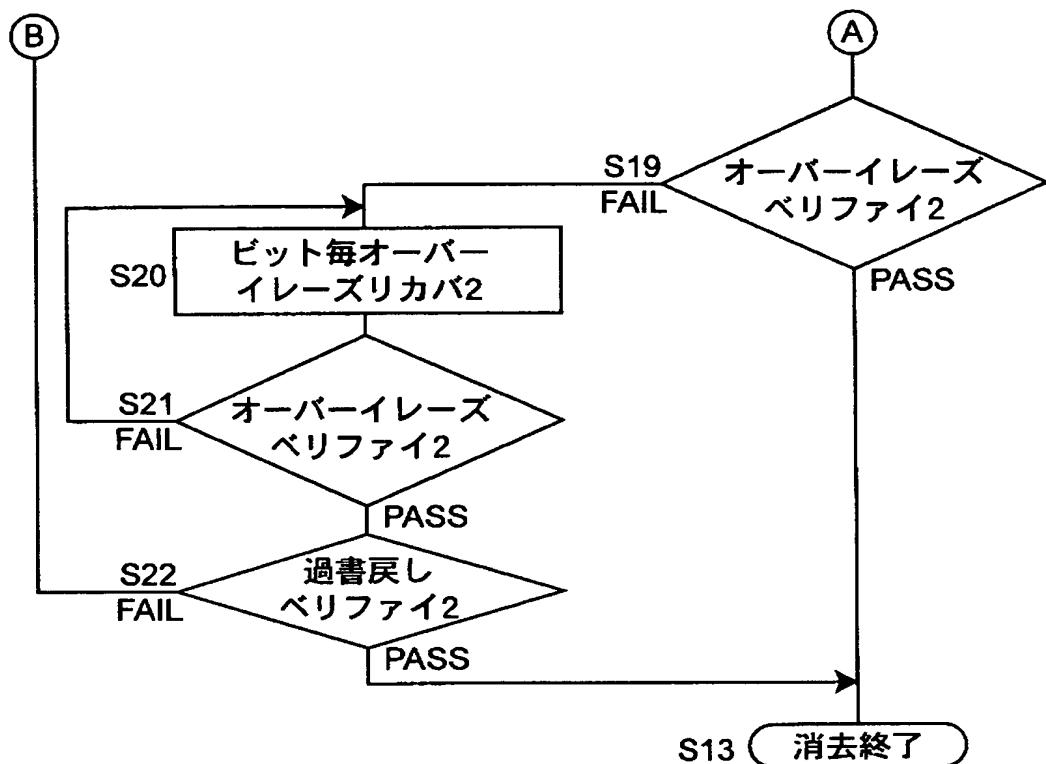
【図3】



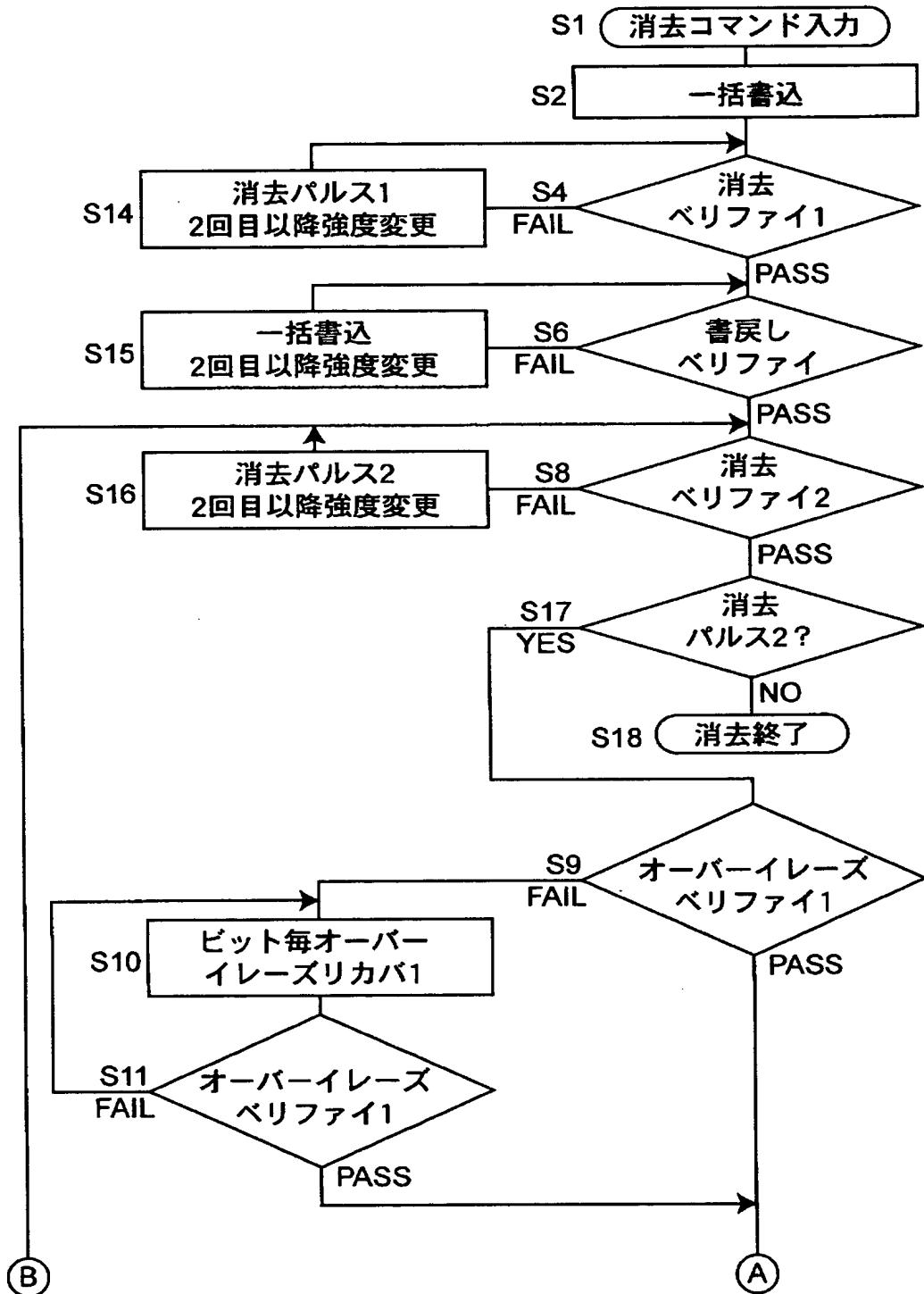
【図4】



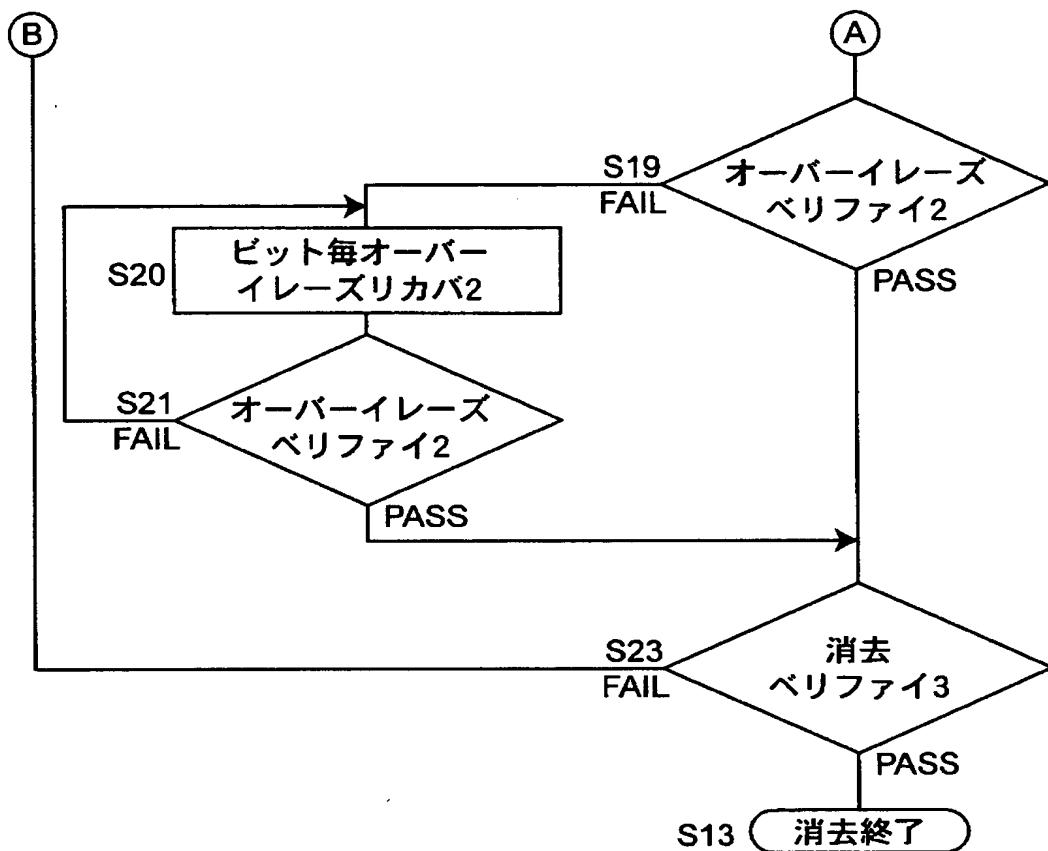
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 不揮発性半導体記憶装置のデータ消去方法において、消去動作の安定化と高速化を図る。

【解決手段】 ベリファイ動作をパルス印加動作の前に実行することにより、不要なパルス印加動作を消去する。

【選択図】 図2

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社